

OPERATION PROCESSING SYSTEM

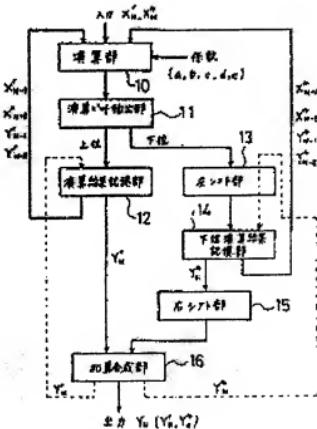
Patent number: JP61150034
Publication date: 1986-07-08
Inventor: YAMAMOTO KAORU others: 02
Applicant: FUJITSU LTD
Classification:
- international: G06F7/38; G06F15/31; H03H17/00
- european:
Application number: JP19840275407 19841225
Priority number(s):

[Report a data error here](#)

Abstract of JP61150034

PURPOSE: To improve the deterioration in characteristic due to limit of a definite word length in digital signal processing by improving the operation accuracy up to the word length of an accumulator without being limited by the word length of a data bus.

CONSTITUTION: An operating bit extraction section 11 separates high-order 16 bits as to the result of operation of an operation section 10 and transfers and stores it in an operation result storage section 12. In transferring the result of processing of each section from a register D to a RAM, the low-order bit which had been thrown away in a conventional system is shifted by a left shift section 13, and 16-bit data as the result of shift is transferred and stored in a prescribed low-order operating result storage section 14 as an error component. The error component is used as an operation object such as coefficient multiplication in the same way as numeric data stored in the section 12. In reflecting the operating result of the error component onto high-order 16 bits, an operating result Y_N' of the error component is shifted right by 9 bits by a right shift section 15 and added to a normal operation result Y_N by an addition synthesis section 16.



© EPODOC / EPO

PN - JP61150034 A 19860708

TI - OPERATION PROCESSING SYSTEM

AB - PURPOSE:To improve the deterioration in characteristic due to limit of a definite word length in digital signal processing by improving the operation accuracy up to the word length of an accumulator without being limited by the word length of a data bus. CONSTITUTION:An operating bit extraction section 11 separates high-order 16 bits as to the result of operation of an operation section 10 and transfers and stores it in an operation result storage section 12. In transferring the result of processing of each section from a register D to a RAM, the low-order bit which had been thrown away in a conventional system is shifted by a left shift section 13, and 16-bit data as the result of shift is transferred and stored in a prescribed low-order operating result storage section 14 as an error component. The error component is used as an operation object such as coefficient multiplication in the same way as numeric data stored in the section 12. In reflecting the operating result of the error component onto high-order 16 bits, an operating result "YN" of the error component is shifted right by 9 bits by a right shift section 15 and added to a normal operation result YN' by an addition synthesis section 16.

EC - G06F7/48

ICO - S06F207/38A2R2

FI - G06F15/31&Z; G06F7/38&B; H03H17/02&641E; H03H17/02&681H.

PA - FUJITSU LTD

IN - YAMAMOTO KAORU; KANEKO KAZUHIRO; MASUKO TOSHIKO

AP - JP19840275407 19841225

PR - JP19840275407 19841225

DT - *

FT - 5B016/AA05; 5B016/BA03; 5B016/BA06; 5B016/BB03; 5B016/CA01; 5B016/CB03; 5B016/CE00; 5B016/EA01; 5B056/AA00; 5B056/BB28; 5B056/FF01; 5B056/FF08; 5B056/FF15; 5B056/GG03

IC - G06F7/38; G06F15/31; H03H17/00

© WPI / DERWENT

AN - 1986-216887 [33]

TI - Digital processor with accumulator accuracy - has transmitter extracting discarded inferior bit and transferring using data bus NoAbstract Dwg 4/5

IW - DIGITAL PROCESSOR ACCUMULATOR ACCURACY TRANSMIT EXTRACT DISCARDED INFERIOR BIT TRANSFER DATA BUS NOABSTRACT

AW - ALU

PN - JP61150034 A 19860708 DW198633 008pp

IC - G06F7/38 ; G06F15/31 ; H03H17/00

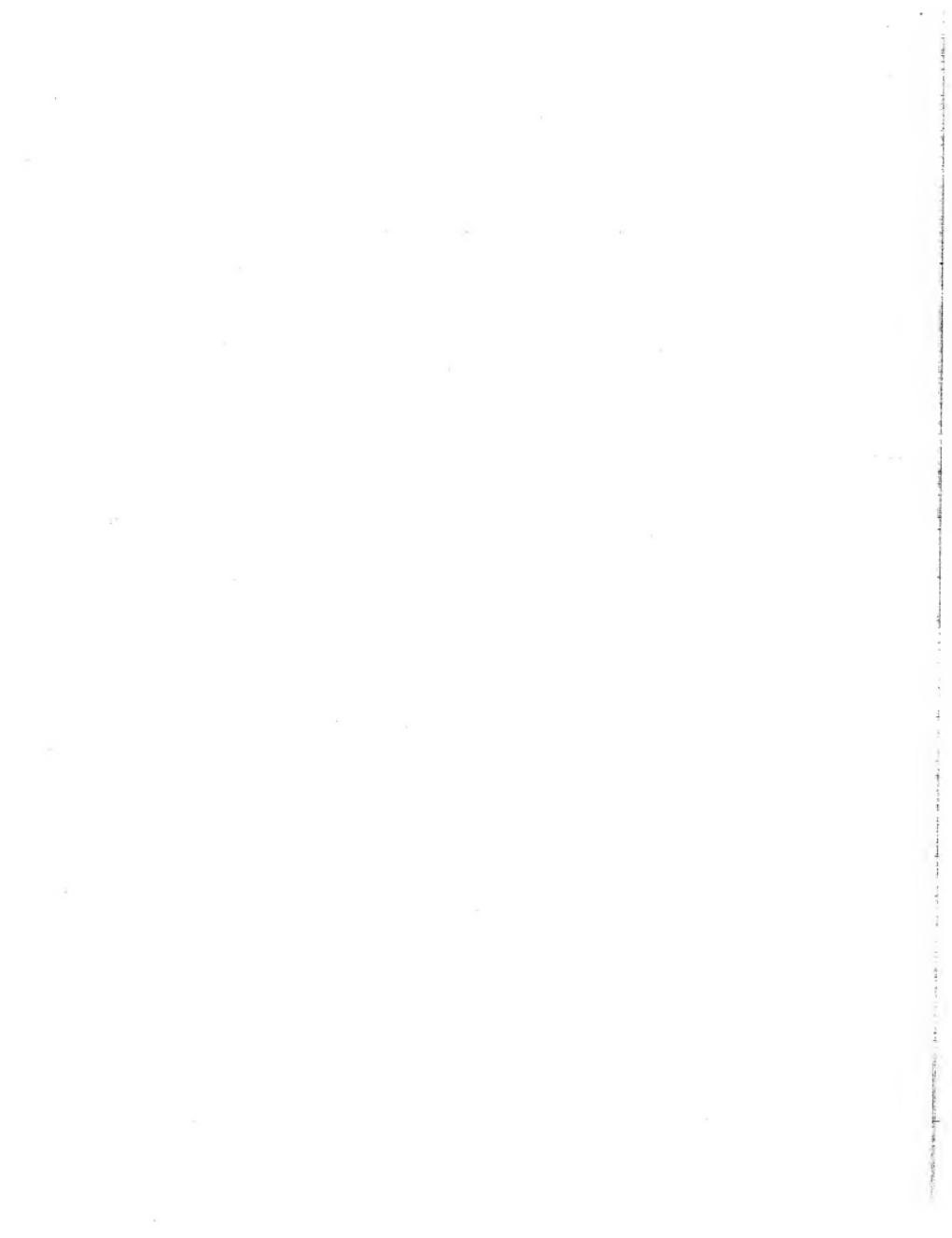
MC - T01-E02 T01-J04 U22-G

DC - T01 U22

PA - (FUIT) FUJITSU LTD

AP - JP19840275407 19841225

PR - JP19840275407 19841225



⑫ 公開特許公報 (A) 昭61-150034

| | | | |
|--------------|------|---------|-----------------------|
| ⑬ Int. Cl. 4 | 識別記号 | 府内整理番号 | ⑭ 公開 昭和61年(1986)7月8日 |
| G 06 F 7/38 | 103 | 7056-5B | |
| 15/31 | | 7056-5B | |
| H 03 H 17/00 | | 8124-5J | 審査請求 未請求 発明の数 1 (全4頁) |

⑬ 発明の名称 演算処理方式

⑭ 特 願 昭59-275407
 ⑮ 出 願 昭59(1984)12月25日

| | | |
|----------------|------------------|----------|
| ⑯ 発明者 山本 煙 | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑯ 発明者 金子 和弘 | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑯ 発明者 益子 敏子 | 川崎市中原区上小田中1015番地 | 富士通株式会社内 |
| ⑯ 出願人 富士通株式会社 | 川崎市中原区上小田中1015番地 | |
| ⑯ 代理人 弁理士 森田 寛 | 外1名 | |

明細書

1. 発明の名称 演算処理方式

2. 特許請求の範囲

アキュムレータ上のデータをRAMまたは他のレジスタに転送しつつ演算を行う演算処理方式において、アキュムレータ上のデータをRAMまたは他のレジスタに転送する際に切り捨てられる下位ビット部分を抽出し左シフトしてデータバスで取り扱われる範囲内に収めて転送する手段と、上記左シフトされた下位ビット部分についての演算結果を右シフトし上位ビット部分の演算結果に加算合成する手段とを備えたことを特徴とする演算処理方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は演算処理方式、特に、例えばDSP(Digital Signal Processor)による大規模遅延等化

器の演算精度をデータバスの語長ではなく、アキュムレータの語長にまで向上させるようにした演算処理方式に関するものである。

(従来の技術と問題点)

第4図は一般的な大規模遅延等化器を構成する巡回形フィルタのブロック図、第5図は従来技術の問題点を説明するためのDSPのブロック図を示す。

第4図に示す巡回形フィルタは、2次のセクション型A1, A2, A3, …を串联したものです。2次当たりの計算処理は、例えば第1段(A1)で考えると、

$$Y_N = \frac{a + b z^{-1} + c z^{-2}}{1 + d z^{-1} + e z^{-2}} X_N$$

となる。なお、第4図において、符号1は遅延器、2は乗算器、3は加算器であり、a, b, c, …は係数を表している。DSPによりプログラム処理を行う場合、 Y_N は次式により求められる。

$$Y_N = aX_N + bX_{N-1} + cX_{N-2} - dY_{N-1} - eY_{N-2}$$

 ところで、この式の演算を行うDSPは、例え

ば第5図に示すように、16ビット幅のデータバス8と語長が26ビットのアキュムレータ(以下Dレジスタという)6とを持ち、RAM7から16ビットの数値データを読み出して、演算回路(ALU)5により演算を行い、演算結果をDレジスタ6に得る。その結果をRAM7へ格納する場合には、Dレジスタ6内の上位の16ビットを取り出し、データバス8を介して転送する。

従来、このようなDSPを用いて例えば2次の遅延等化器150セクションを16ビット精度で実現させた場合、減衰量特性や遅延時間特性については、いずれも良好な結果が得られるが、演算結果の下位ビット切り捨てによる誤差が累積していくことにより、雑音特性が劣化するという問題があった。

〔問題点を解決するための手段〕

本発明は上記問題点の解決を図り、データバスの語長の制限を受けることなく、アキュムレータの語長にまで演算精度を上げ、特性のよい遅延等化器を実現する手段を提供する。そのため、本發明

明の演算処理方式は、アキュムレータ上のデータをRAMまたは他のレジスタに転送しつつ演算を行う演算処理方式において、アキュムレータ上のデータをRAMまたは他のレジスタに転送する際に切り捨てられる下位ビット部分を抽出し左シフトしてデータバスで取り扱われる範囲内に収めて転送する手段と、上記左シフトされた下位ビット部分についての演算結果を右シフトし上位ビット部分の演算結果に加算合成する手段とを備えたことを特徴としている。以下、図面を参照しつつ説明する。

（作用）

本発明は、例えばDSPによる遅延等化器演算処理方式において、データバスの語長ではなく、アキュムレータの語長にまで演算精度を上げるようにする。そのため、例えば第2図に示すようにDレジスタ6に格納されている演算結果が Y_n であるとき、その上位16ビット部分を Y_m としてRAMに転送する。それと共に、従来切り捨てられていた下位の9ビットを取り出し、左にシフト

して、そのシフト結果の上位 16 ビット Y'' を誤差分として RAM にストアし、この誤差分について、上位 16 ビット Y'' と同様な処理を行うようとする。なお、第 2 図において、S は符号ビットを示し、 Y'' においてシフトされた 9 ビットの上位部分には、符号ビット S と同じビット値が詰められる。

誤差分の演算結果で下位の 9 ビットから繰り上がる誤差データがあれば、その繰り上がり部分を上位 16 ビットの Y_n 部分に反映させる。これにより、各セクションにおける処理結果の誤差が累積することなく、例えばデータバスが 16 ビット群にあっても、28 ビットの精度が得られることが可能。

(五)

図は本発明の一実施例処理構成、第3図は本発明に係る演算処理方式を説明するための図を示す。

演算部 10 は、予め ROM に用意された命令により、乘算等の演算を処理する部分である。演算

ビット抽出部11は、演算部10の演算結果について、その上位16ビットを分離し、所定のRAM上に用意された演算結果記憶部12へ格納する。また、各セクションの処理結果をDレジスタからRAMに転送する際に、従来切り捨てられていた下位ビットについては、左シフト部13によってシフトし、シフト結果の16ビットを所定の下位演算結果記憶部14へ転送する。この下位演算結果記憶部14へ格納された誤差分は、演算結果記憶部12へ格納された数値データと同様に、係数乗算等の演算対象とされる。

誤差の演算結果を上位ビットに反映させ
る場合に、誤差の演算結果を右シフト部
分に加算する。加算合成功能により、正規の演算結果を出力する。
これにより、 Y_n の誤差範囲から上位ビットに反映させ
る場合に、誤差の演算結果を右シフト部
分に加算する。加算合成功能により、正規の演算結果を出力する。
これにより、 Y_n の誤差範囲から上位ビットに反映させ
る場合に、誤差の演算結果を右シフト部
分に加算する。加算合成功能により、正規の演算結果を出力する。
これにより、 Y_n の誤差範囲から上位ビットに反映させ
る場合に、誤差の演算結果を右シフト部
分に加算する。加算合成功能により、正規の演算結果を出力する。

れぞれ再設定される。

次に第4図に示す遅延等化器の第1段(A1)の演算式。

$$Y_N = aX_N + bX_{N-1} + cX_{N-2} - dY_{N-1} - eY_{N-2}$$

についての本発明に係る処理を、第3図に従って説明する。

本実施例によれば、各 $X_N, X_{N-1}, X_{N-2}, Y_{N-1}, Y_{N-2}$ は、2 6 ビットの精度を持ち、1 6 ビット精度の $X_N, X_{N-1}, X_{N-2}, Y_{N-1}, Y_{N-2}$ と、誤差分の $X_N, X_{N-1}, X_{N-2}, Y_{N-1}, Y_{N-2}$ によって、実質的にその値が定められる。 $X_N, X_{N-1}, X_{N-2}, Y_{N-1}, Y_{N-2}$ について、それぞれ係数 $a, b, c, -d, -e$ を乗算し、 Y_N を求めると共に、同様に誤差分の $X_N, X_{N-1}, X_{N-2}, Y_{N-1}, Y_{N-2}$ について、それぞれ係数 $a, b, c, -d, -e$ を乗算して Y_N' を求める。

そして、加算合成功能により、誤差分の結果 Y_N' を9ビット右にシフトし、シフト結果と、先に求めた Y_N を加算する。加算結果が2 6 ビット幅のDレジスタ6に得られたならば、その上位

1 6 ビットを元の演算結果である Y_N と置き換える。さらに加算結果の下位9ビットのみを左へ9ビットシフトして得られる上位からの1 6 ビットを、誤差分の元の演算結果である Y_N' と置き換える。以下、同様に置き換えた Y_N および Y_N' を次の演算に用いる。

上記実施例の説明では、データバスが1 6 ビット、アキュムレータが2 6 ビットの例をとり上げて説明したが、他のビット幅を持つものについても、シフト量を変えることなどにより、同様に本発明を適用できることは言うまでもない。

以上、遅延等化器の例をもって説明したが、本発明は、他の演算処理方式にも同様に適用することができる。

(発明の効果)

以上説明した如く、本発明によれば、DSPのデータバスの語長による制限を受けず、アキュムレータの語長にまで演算精度を上げることができる。ディジタル信号処理における有限語長制限による特性の劣化を大幅に改善することが可能

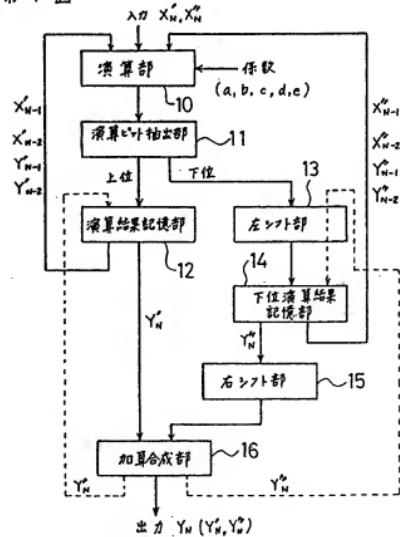
になる。例えば、従来2次の遅延等化器150セクションを1 6 ビット精度で実現させた場合、雑音特性が $S/N = 52$ dB であったものが、本発明を用いることにより、 S/N が約1 54 dBほど改善され、減衰量特性、遅延時間特性、雑音特性のすべてについて良好な結果が得られるようになった。

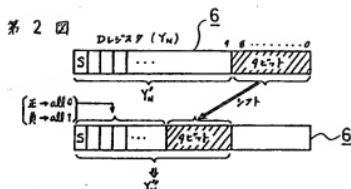
4. 図面の簡単な説明

第1図は本発明の一実施例処理構成。第2図は本発明による誤差分の抽出を説明するための図。第3図は本発明に係る演算処理方式を説明するための図。第4図は一般的な大規模遅延等化器を構成する巡回形フィルタのブロック図。第5図は従来技術の問題点を説明するためのDSPのブロック図を示す。

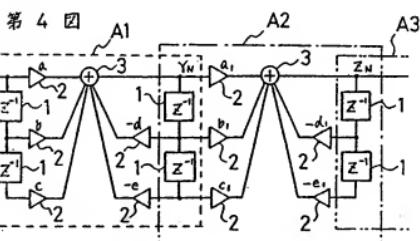
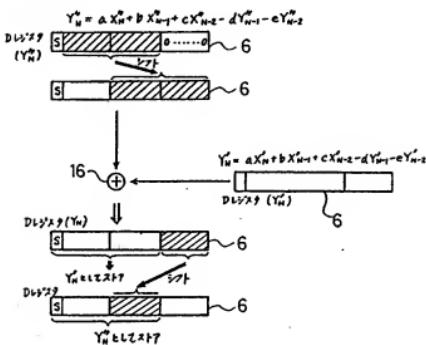
図中、5は演算回路、6はDレジスタ、7はRAM、8はデータバス、13は左シフト部、15は右シフト部、16は加算合成功能部を表す。

第1図





第3図



第5図

